摘 要

小四号黑体

**（空1行，小四号）**

关键词：听觉虚拟，HRTF，神经网络

**（关键词3~5个，逗号隔开）**

三号加黑

ABSTRACT

**……..**

**小四，加黑**

**（空1行，小四）**

**KEY WORDS**：virtual auditory, HRTF, neural network

**（除缩略语外，字母全部小写）**

目 录

**小四，加黑**

[第一章 绪论 4](#_Toc71823629)

[1.1引言 4](#_Toc71823630)

[1.2 研究背景与现状 4](#_Toc71823631)

[1.2.1研究背景（小四号黑体） 4](#_Toc71823632)

[1.2.2 国内外研究现状 4](#_Toc71823633)

[1.3 论文内容组织 4](#_Toc71823634)

[第二章 单片有源像素传感器介绍 4](#_Toc71823635)

[第三章 。 4](#_Toc71823636)

[第四章 。 4](#_Toc71823637)

[第五章 。 4](#_Toc71823638)

[参考文献 6](#_Toc71823639)

[致 谢 7](#_Toc71823640)

[毕业设计小结 8](#_Toc71823641)

[附 录 9](#_Toc71823642)

1. 绪论

1.1引言

标准粒子模型一共包含62种基本粒子，其中61种粒子已被证实发现，目前仅有希格斯玻色子仍未被完全证实发现。62种基本粒子中除了传递电磁相互作用的光子，传递强相互作用的胶子，在弱相互作用中的中微子和Z玻色子以及希格斯玻色子外，其余粒子均带有电荷。在高能物理实验中，研究人员通过将两束高能粒子相撞来模拟宇宙大爆炸初始的状态或者从中获取新的粒子，两束高能粒子对撞后通常会在短时间内产生大量的带电粒子和不带电粒子，研究人员通过探测器来获取这些粒子的各种状态，而鉴于带电粒子的占有的比重，对带电粒子的探测是高能物理实验中的重点之一。因此各种大型强子对撞机都建造了各种辐射传感器，例如位于瑞士日内瓦的大型环形强子对撞机LHC，其上安装有ALICE，ATLAS，CMS，LHC-b四个大型探测器。除了高能物理实验，太空探测和生物医学领域也对带电粒子探测有极大的需求。MAPS（Monolithic active pixel sensors）芯片由于优异的性能和较低的物质介入度在这些领域中应用广泛。但是随着这些领域的发展，对更高性能的MAPS芯片的需求也越来越大。过去的MAPS芯片架构已经不能满足更高的数据输入速度和更高的时间空间分辨率。因此全世界各国实验室都在研究能够分辨更小时间，读出更多数据，探测更精准的MAPS芯片，但随着新架构的提出，对新架构芯片的验证和仿真工作愈来愈发的重要，验证仿真工作能在MAPS芯片流片之前发现芯片的设计问题，减少流片成本，降低MAPS芯片的生产研发周期。亟需新的MAPS芯片架构的同时也亟需新得针对MAPS芯片的仿真平台。

1.2 研究背景与现状

1.2.1 研究背景

2012年，中国科学院高能物理研究所提出建设大型环形正电子对撞机简称CEPC(Circular Electron-Positron Collider)，用于希格斯粒子以及标准模型外粒子的研究，该项目经过多年的讨论，将于2022年开始动工。CEPC团队在开展并完成加速器和探测器概念设计报告的同时，有序展开了各项关键技术的预研究。CEPC将会安装两个大型探测器，顶点探测器作为CEPC实验探测器中的核心器件，需要利用最前沿的硅像素探测器技术建造。在实现高位置分辨率、高读出速率、低功耗的同时，还应具备优异的抗辐照性能。传统类型的硅像素探测器在性能上已无法满足未来的大型对撞机，区别于传统类型的硅像素探测器，互补金属氧化物硅像素探测器将灵敏探测区域和前端读出电子学直接集成到相同硅基衬底上，更适合于制作高分辨率和低物质介入量的硅探测器。

互补金属氧化物硅像素传感器（CIS），又称有源像素传感器（APS），与单片有源像素传感器（MAPS）描述了同一种类型的集成电路，CIS多用于成像领域，MAPS用于粒子探测领域。由于本课题来自于环形正电子对撞机探测器项目课题，所以本文中统一使用MAPS。

在大型对撞机的探测器中，MAPS芯片被要求能在极小的时间分辨率下读出粒子撞击的数据，由于时间间隔极小，这就要求MAPS芯片读出电路的数据读出策略向时间分辨率上倾斜，MAPS芯片的架构对读出数据的速度十分关键，在同样的像素前端下，芯片架构的优异决定了芯片的性能，因此本文探讨了一种改进型架构。同时由于传统的仿真方法较为繁琐，增加了设计人员的工作量，同时难以对像素芯片进行完备的仿真测试，本文同时也设计了一种针对像素芯片的仿真平台，旨在通过对MAPS芯片进行完整的系统的建模和仿真，包含从粒子入射到数据处理以及数据输出的模型，探讨新型架构的可能性，验证整个芯片系统的功能和性能，以便于对芯片架构进行优化和验证。

1.2.2 国内外研究现状

国外研究现状：

国外的高能物理实验发展较早，技术成熟，具有代表性的有：欧洲核子研究中心 CERN 的大型强子对撞机 LHC 相关实验；美国布鲁克海文国家实验室BNL (Brookhaven National Laboratory) 中 相 对 论 重 离 子 对 撞 机 RHIC (Relativistic Heavy Ion Collider)上的 STAR(Solenoidal Tracker at RHIC)实验；德国反质子与离子研究装置 FAIR (Facility for Antiproton and Ion Research)上的压缩重子物质 CBM (Compressed Baryonic Matter)实验等等。目前，最为著名的是世界上规模最大、能量最高的欧洲核子研究中心CERN 的大型强子对撞机 LHC，由数十个国家（包括中国）参与建造，包括ALICE、ATLAS（A Toroidal LHC Apparatus）、CMS（Compact Muon Solenoid）和 LHCb（LHC-beauty）四个实验，是国际先进水准粒子探测器的典型代表。

ALICE探测器上安装有ALPIDE系列MAPS芯片，ALPIDE是用于ALICE ITS系统升级所用的一系列MAPS芯片，图1.1为ALPIDE-3芯片的架构图。

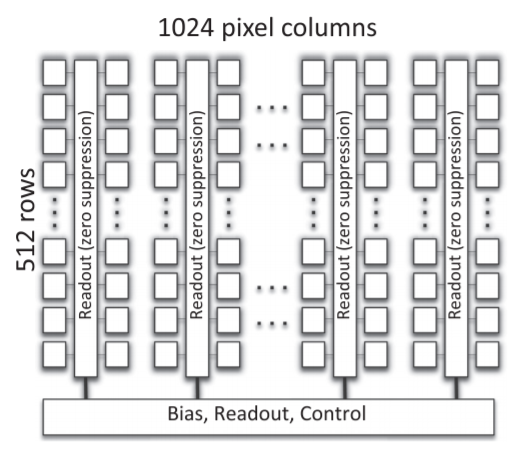


图1.1 ALPIDE芯片架构图

该芯片[1]像素规模为512行×1024列，每个像素点大小为29.24um×26.88um,芯片大小为15mm×30mm，厚度为50um。最小分辨时间单位为10us，总功耗40mW/cm2。该芯片每帧数据采用零抑制和优先级编码的方式[2]，每两列像素连接一个优先编码器，优先编码器向外围电路发送在它的双列中第一个像素被击中的地址，然后将该像素的寄存器重置，然后一直循环下去直到双列像素中所有被击中的像素数据全部读出。每个优先编码器不包含时序电路。

ATLAS探测器安装有ATLAS-pix系列MAPS芯片，2019年已更新到ATLAS-pix3芯片，图1.2为该芯片模块原理图，该芯片像素矩阵有132列，372行。像素面积为150μm×50μm。总芯片面积20.2mm×21mm。该芯片读出方式采用Rolling shutter方式，按列扫描每列像素状态，每次读出一列数据。

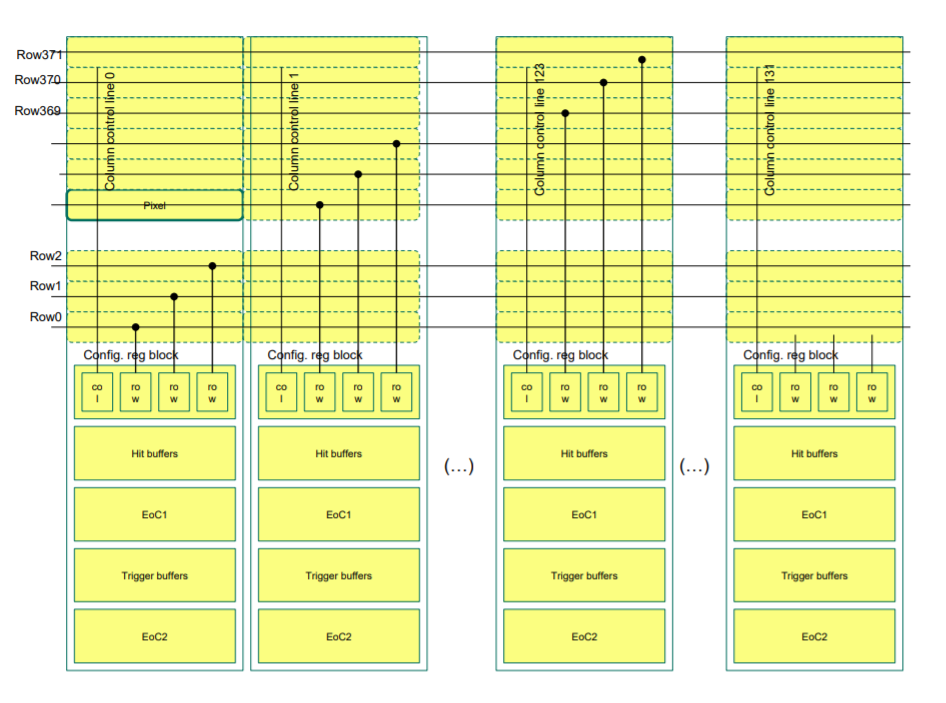


图1.2 ATLASpix3模块图

除ATLASpix3以外，为ATLAS设计的还有FEI读出系列芯片，图1.3为FEI-3芯片架构图。图1.3为该芯片架构图，该芯片包含2880个读出单元，每个单元50μm×400μm，组成一个18×160的矩阵，读出方法为Rolling shutter，先对列进行扫描，将列地址和时间戳信息存入本地存储器，被扫描列中的像素将会被“冻结”，直到行地址被全部读出后，该行像素才进入下个采样状态。时间戳时钟为40Mhz，每两列像素有一个读出控制器，读出控制器先将粒子撞击信息存入缓冲器中，然后开始处理地址信息。

另外还有法国国家科研中心多功能物理研究所IPHC设计的MIMOSA芯片[3]，该芯片可实现10-1000倍的数据压缩，每秒钟可读出10000帧图片，空间分辨率可达1-2μm。法国IPHC实验室设计的ULTIMATE芯片，该芯片采用AMS 0.35um CMOS工艺制造，芯片面积约2cm×2cm，厚度50um，其中像素尺寸20.7um×20.7um，像素内实现相关双采样，空间分辨率约6um，积分时间185.6us,采用列级甄别器，Rolling shutter读出方式，功耗约为170mW/cm2。意大利INFN设计的APSEL系列芯片，采用数据读出驱动方式，将像素单元按4×4分组，仅读取有粒子入射信号的像素，信息并行读出在列的输出口进行串行输出。

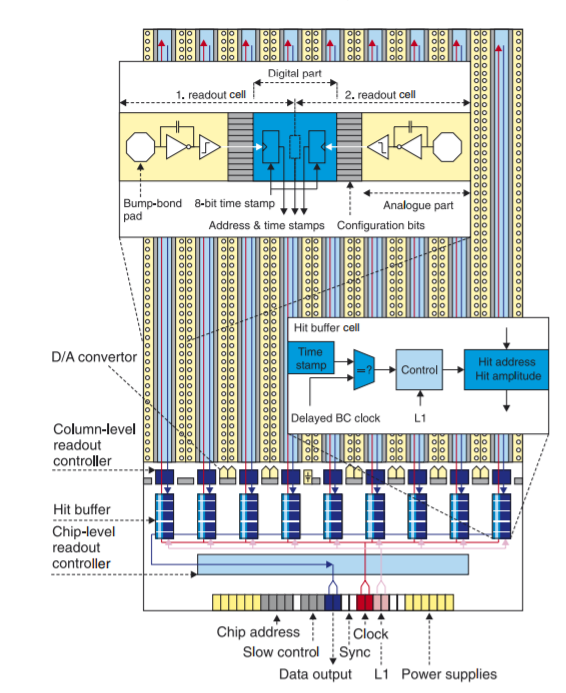


图1.3 FEI-3芯片架构图

国内研究现状：

我国的高能物理实验及其探测器的研究发展迅速，由中科院高能物理所负责的BEPC在1988年建造完成，是世界八大高能加速中心之一，也是我国第一台正负电子对撞机，其优异性能为我国高能理论研究奠定了实验基础。针对我国在建的CEPC，高能所设计了Jade-Pix系列和TaichuPix芯片, JadePix-1芯片[4]每个像素阵列由16列48行像素单元构成，采用Rolling shutter方式获取数据，每个周期发送一行像素单元信号，48个周期发送玩全部像素阵列数据。目前JadePix系列已经到第三版，JadePix-3芯片获取数据方式与第一版芯片一致，像素阵列为512行×192列，192列分为4个48bit的编码块，使用4bit对编码块地址进行编码，行地址采用9bit进行编码。TaichuPix-1芯片面积5×5mm2，单个像素面积25×25μm2，具有64列192行，该芯片读出架构采用FE-I3和ALPIDE两种，响应时间缩短到了25ns。

MIC系列芯片是我国华中师范大学自主研发的一款MAPS芯片，目前已经到第四版MIC4芯片，该芯片架构图如图1.4，该芯片像素阵列由16行×8列共128个面积为25×25um2像素单元组成，像素内部包含数字逻辑电路，读出方式采用Token和ARED结合读出。

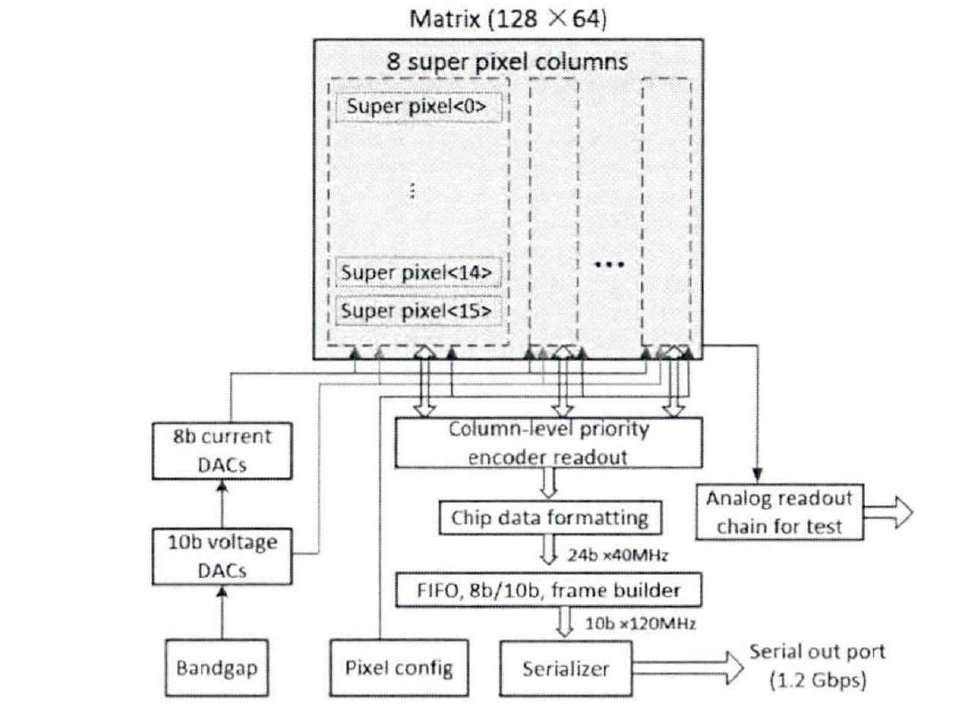


图1.4 MIC4芯片架构图

1.3 论文研究意义

本文主要设计一种将Rolling shutter读出方式与ARED方式相结合的MAPS芯片读出架构模型，该模型描述了一个从像素信号输出到击中点编码地址输出的完整电路。该模型设计之初考虑到粒子输入密度较高时，单ARED一种方式可能会导致芯片编码某一优先级较低像素周期过长，缩短该像素采样时间，图像失真严重，而全局快门的缺点是必须要全部像素数据读出后才开始下一次全局曝光。因此采用局部请求等待快门的方式增加像素曝光时间，像素地址仍采用ARED方式。该电路模型同时支持稀疏图像和高密度图像输入，用于支持大规模数据的读出，应用于高密度粒子入射的背景下。本文同时设计了一种用于global shutter读出方式电路的验证仿真平台，该仿真平台可用于各种读出方式的电路模型，不限于global shutter，该仿真平台用于评估该电路模型的性能，根据验证仿真结果改进相关电路模型。

1.4 论文内容组织

本论文研究对象主要是MAPS读出电路和验证仿真系统， 主要章节安排如下：

第一章介绍了该论文的研究背景以及国内外研究现状，并且说明了该论文的研究意义。

第二章首先介绍了MAPS芯片的像素前端和MAPS芯片工作原理，然后介绍了几种经典的读出方法。

第三章详细介绍了本文所设计的一种读出电路，首先说明了设计需求，进行了系统的分析，然后说明了该电路的总体架构和读出方式，最后详细介绍了电路架构和各模块的工作时序。

第四章详细介绍了本文所设计的针对Global shutter的MAPS芯片的验证仿真系统。先分析了MAPS对验证仿真平台的要求，然后详细介绍了仿真平台各组件的工作原理以及功能，最后介绍了粒子生成图像的算法。

第五章介绍了电路模块经本文设计的验证仿真平台测试后所产生的数据，并从数据中分析了电路模块的性能是否符合要求。最后对验证仿真平台进行了评估。

1. 单片有源像素传感器芯片概述

2.1 MAPS工作原理及像素前端读出结构

2.1.1 MAPS工作原理

探测带电粒子的像素传感器单元一般包含两部分，电荷收集区和外围读出电路，电荷收集区即传感器，带电粒子穿过该区域时通过电离产生空穴电子对，外围读出电路对电荷收集区收集的电荷进行放大，甄别等处理，并将处理后的电信号传送到后端电路进行数据处理。根据这两部分的位置分布，像素粒子探测器可以大致分为两类，一类为复合像素传感器，这种传感器将电荷收集区和读出电路分别集成在不同的硅片上，然后通过其他手段邦定在一起。另一类是单片式像素探测器，这种探测器将电荷收集区和读出电路集成在同一个硅片上。

2000年初首次提出MAPS的概念，MAPS与其他单片像素粒子传感器的主要区别在于电荷收集区的结构。

MAPS的基础是现代的超大规模的CMOS集成电路工艺，MAPS所用的电荷收集区结构如图2.1所示，其所用衬底材料是高浓度掺杂的P型衬底，然后在衬底上制作低掺杂的P型外延层，作为MOS管的灵敏区，使用双阱工艺在外延层上制作出N阱和P阱，P阱内部进行N型掺杂制作N型MOS管，作为读出电路的组成MOS管。N阱与P型外延层组成二极管，当带有电荷的粒子入射到芯片上时，粒子穿过P型外延层，在外延层上由于电离作用会产生一些空穴电子对，电子被N阱收集，产生电脉冲。电脉冲经二极管的结电容转换为电压信号。传统的CMOS工艺如果要制作PMOS，就必须再制作额外的N阱，而额外的N阱会干扰电荷收集N阱的收集效率，因此传统CMOS工艺制作的像素只允许使用NMOS管，像素的前端读出电路也必须使用NMOS管制作。

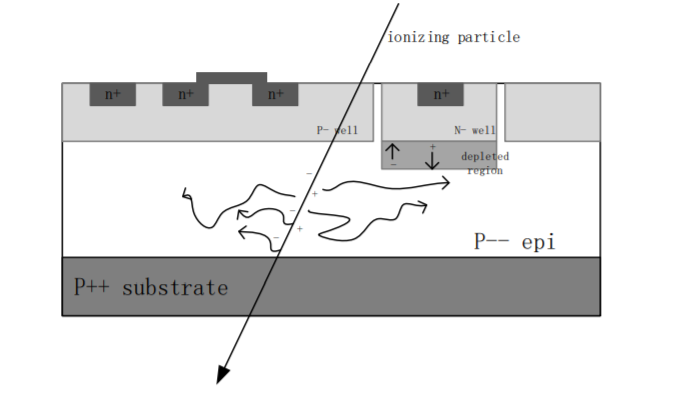


图2.1 MAPS电荷收集区结构图

使用外延层工艺设计的优点是可以用标准的CMOS工艺进行加工制造，从而可以接入商业芯片的制造流程，降低了应用于科研界探测器芯片的制造成本，同时因为这种结构的电荷收集区是整个衬底结构，可以实现理想的接近于100%的填充因子，而且这种像素结构简单，可以将芯片的空间分辨率做的足够小，由于现代的商业芯片制造技术的发达，外延层的厚度可以制作的很薄。

这种结构的缺点也很明显，由于电离产生的电子是通过热扩散漂移到电荷收集极，探测器的响应时间会相较慢。外延层的导电性好，抗辐射性能低。使用P外延层和N阱构成二极管,再使用其他N阱会影响电荷收集，所以不能使用PMOS设计像素前端的读出电路。

2.1.2 像素前端读出结构

单片有源像素传感器的电荷收集区和前端读出电路都集成在像素内部，对模拟信号进行数模转换后传输给后端读出电路进行处理，后端读出电路一般在像素阵列外围。图2.2是一般单片有源像素传感器像素的信号读出结构。

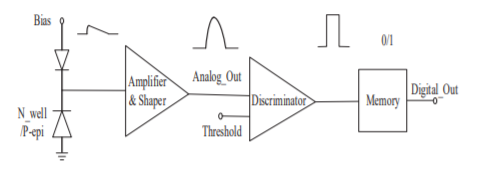


图2.2 像素内信号读出结构

传感单元产生的信号先送入一个低噪声放大器，经信号放大后送入甄别器，甄别器将模拟信号转换为数字脉冲，然后存储在存储器中。

图2.4为3T像素结构（每个像素包含3个三极管），在这种结构中，每个像素包含一个PN结作为感光元件，一个复位三极管RST，一个行选择器RS，一个源极跟随器。像素内收集电荷的二极管直接连接源极跟随器的栅极，处于同列的所有像素共用一个位于列总线低端的电流源，在一个工作周期内，像素单元先进行复位，RST管先导通给二极管电容进行充电，充电完成后像素单元先进行曝光（带电粒子射入），粒子进入P型外延层激发出空穴电子对，电子被N阱收集，经过二极管电容给二极管电容放电，降低PN结上的反向电压，曝光完成后，电压变化量经过源极跟随器，源极跟随器进入截止状态，然后RS管被激活进入取样，PN结中的信号经放大后驱动到column bus上。

随着平面CMOS工艺的进步，传统的3T像素结构的功耗不断降低，集成度不断增加，电源电压和MOS管阈值电压不断下降，由于阈值电压下降幅度小于电源电压下降幅度，而二级管所能充电的最大电压即是二者电压之差，如果充电电压太低，MAPS传感器所能探测的范围也就降低了，限制了像素单元的输出电压摆幅。

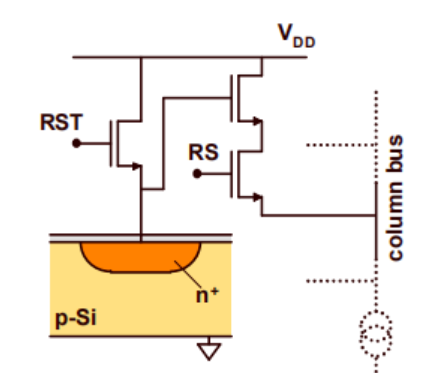


图2.3 3T管有源像素结构

有源像素解决了很多噪声问题，但是由于PN结复位引入的噪声并没有的到解决，4T管结构被提出了。图2.4位4T管像素结构图，4T管像素与3T管像素结构基本一致，只有电荷收集的二极管被制作成了一个三极管结构，通过TX栅极的引入将电荷收集结构与前端读出电路完全隔开，隔开后有利于各种信号处理电路的引入（如CDS相关双采样），4T管像素工作时先进行曝光，曝光后激活RST直接进行复位将N+区复位到高电平，复位完成后将复位电平读出，这其中包含了各种噪声以及复位引入的噪声，将读出的信号存储在第一个电容中，然后激活TX将电荷从电荷收集区完全转移到N+区用于读出，将电平存储在第二个电容中，信号输出时将两电容中的电压值相减得到的信号再经过放大。

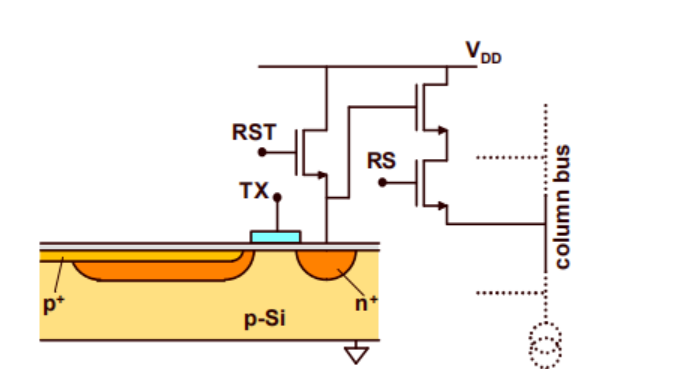


图2.4 4T管像素结构图

2.2 MAPS经典读出算法及读出策略

MAPS芯片从像素到外围电路的读出方法是多种多样的，最经典的光学像素传感器读出方式有两种：全局快门（Global shutter）和滚动快门（Rolling shutter）。在粒子探测领域由于图像的稀疏性和功耗的要求，地址编码复位解码读出方式（address encode and reset decode 简称AERD）和 四方向投影读出（Orthopix）被提出分别应用于数字像素和模拟像素读出。下面简单介绍一下这四种读出策略。

1. 滚动快门读出（Rolling shutter）:

滚动快门读出是MAPS传感器应用最多的一种读出方式。将像素阵列按行分组，按行进行像素的重置，曝光，传输和选择。图2.5为滚动快门读出方式的读出时间图，每一帧的曝光开始每一行的重置信号依次间隔相同的TRST时间，根据前面介绍的像素结构，即每间隔TRST时间拉高RST信号，重置时间即是RST信号拉高后二极管的充电时间，曝光时间为二极管充电完毕后到RS被拉高的时间，RS拉高后到信号编码处理完毕为读出时间。每行像素都经历重置，曝光，读出和等待四个阶段，直到所有行都读出完毕才完成一帧图像的读出。

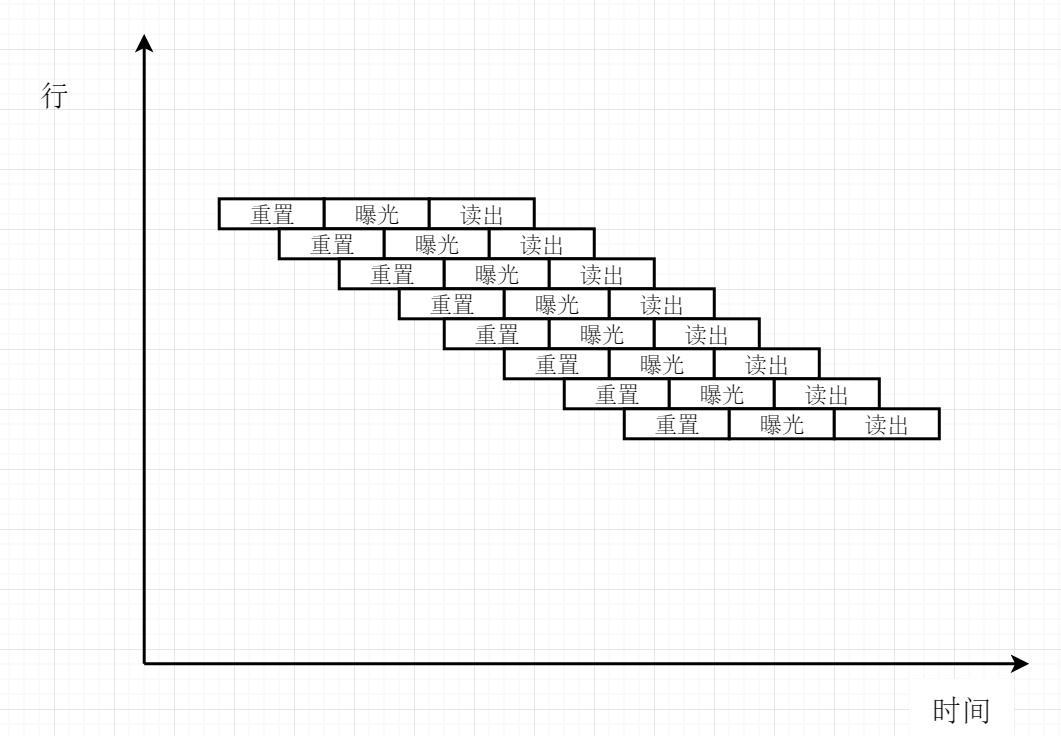


图2.5 滚动快门读出时间图

图2.6为滚动快门读出相邻行之间的曝光过程，每一行的实际曝光时间就是从重置控制信号RST的下降沿到行选择信号RS上升沿的时间，在x行先由x行RST信号控制开始曝光，然后间隔一个时间T，x+1行开始曝光，同时控制结束曝光的选择信号RS也间隔同样的时间T。滚动快门的曝光控制中行间隔时间T是非常重要的，因为每一行都有多个像素单元，每个像素都需要一定的读出时间，只有行间隔时间足够大是才能保证完全读出每行所有像素单元的信号。

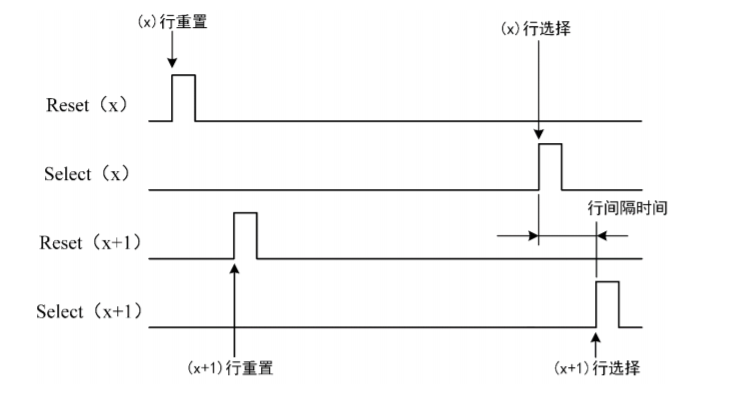


图2.6 滚动快门x行与x+1行的时序

1. 全局快门读出（Global shutter）

全局快门读出的工作原理与经典的胶片相机光圈相同。快门打开所有光线或粒子一次入射到芯片的整个表面，然后快门关闭。全局指的是整个表面即所有像素单元同时曝光。图2.7为全局快门的读出时间图。对于滚动曝光的方式，如果有高速运动的图像，或者一系列粒子同时到达像素阵列，此时由于每一行的快门时间有延迟就会导致图像产生失真，或者某些粒子的入射信号检测不到。对于全局快门在一次曝光后，由于等待所有数据读出需要一定的时间，每个像素处增加了采样保持单元，在指定时间达到后对数据进行采样然后顺序读出，这样虽然后读出的像素仍然在进行曝光，但存储在采样保持单元中的数据却并未改变。

由于MAPS传感器使用有源像素，所以使用全局曝光的方式非常方便，根据上一小节所介绍的像素结构，4T管像素包含有能够存储曝光信息的结构，图2.8为全局曝光读出方式相邻行的读出时序，虽然全局曝光方式中所有像素单元一起曝光，但是由于后端读出电路读出速度的限制，所有像素并不能同一时间全部编码读出，相邻行同时开始曝光，但是行选择信号依然是间隔一定时间才进行每行的选通。

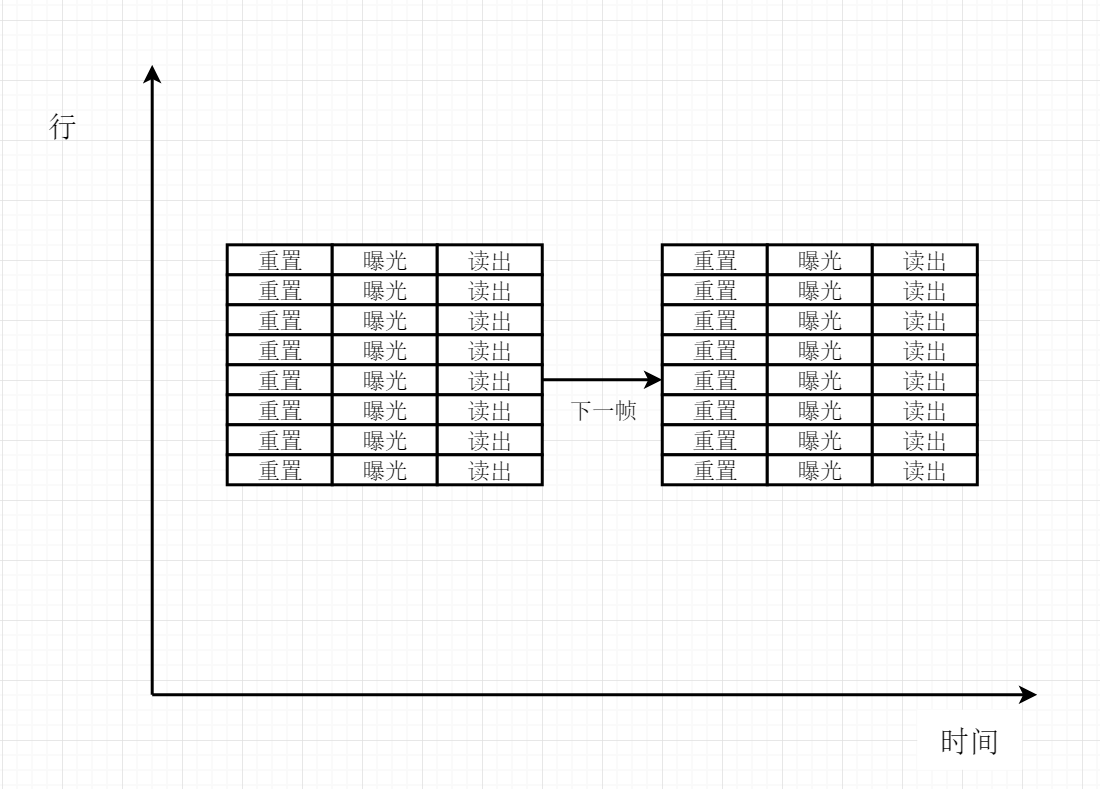


图2.7 全局快门的读出时间图

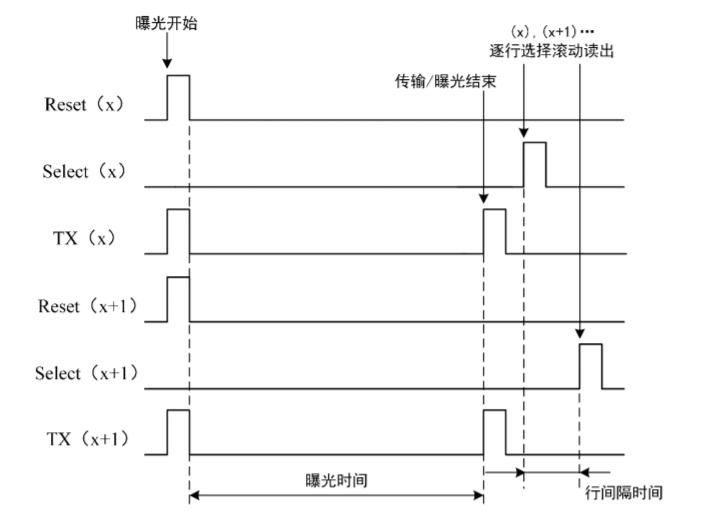


图2.8 全局快门相邻行时序

1. AERD方式

上面所述的Rolling shutter方式的积分时间在给定的时钟下非常依赖于像素阵列的行数，每一帧的读出时间可以通过增加并行电路，增加列级鉴别器来减少，但是因为像素阵列内部没有任何形式的数据压缩，增加并行电路虽然能够减少每一帧的读出时间，随之而来的却是功耗的增高。在像素阵列内部实现数据压缩的技术能有效减少读出时间，因此AERD架构作为一种新的数据驱动的读出方式被提了出来，这种方式一般在像素阵列内部带有零抑制电路。AERD架构包含有基于优先级逻辑的树状总线结构的地址编码和复位解码电路，这种架构仅读出被触发的像素，零抑制技术大大减少了读出时间和电路功耗。图2.9为pALPIDEfs (full scale prototype of ALICE Pixel Detector)架构图，pALPIDEfs是给ALICE ITS升级所设计的芯片，它采用了低功耗的像素前端和数据驱动的读出电路。在该芯片的AERD电路中，每两列像素连接到一个AERD电路模块，AERD电路根据优先级逻辑对像素单元进行读出和复位。图2.10为AERD基本逻辑模块，AERD电路基于仲裁树和分层编码解码，图中包含三个基本单元，Fast OR为快速或门单元，此单元用于生成像素阵列有效信号并传播至外围读出电路。地址编码单元接收来自优先级逻辑模块的信号，对每个模块的地址进行编码。重置译码单元接收优先级编码模块的信号和上一级模块的同步信号，并生成同步信号传递给下一级电路。对于给定的编码像素数量，给定的层级数量，基本单元数量和布线通道数可以由下面三个方程求出：

2.1

2.2

Routing= 2.3

是模块层数，是所需要的基本模块数量，是一个AERD电路所能覆盖的像素数量，Routing是某层同步信号和有效信号的数量。是基本模块的输入数量。越大单个AERD电路的层级就越少。

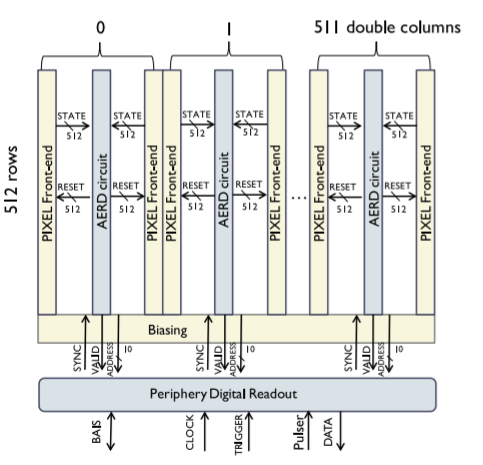


图2.9 pALPIDEfs架构图

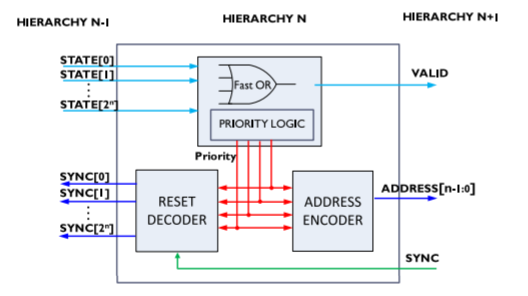


图2.10 AERD基础逻辑模块图

1. Orthopix方式

不同于前面三种读出方式Orthopix读出是一种投影读出方式，传统投影读出方式将单个像素投影在x轴和y轴两个方向。图2.11为传统投影方式示意图，若像素阵列为N×N大小，向两个方向投影后可压缩为2N个像素。然而传统投影方式只有在单个像素被击中时才完全准确。由于x和y轴上的投影信息只包含像素的坐标信息，当某一列或某一行存在多个像素击中时，只会投影出单个坐标信息，当根据坐标恢复图像时，由于任意x轴坐标与任意y轴坐标组合，都可以恢复出一个像素点，所以会导致恢复出图像像素点增多，如图2.11（b）中根据三个像素击中信息解码出的图像包含9个像素点。

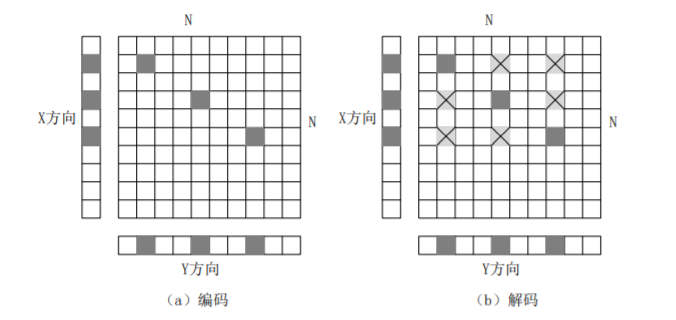


图2.11 传统投影方式示意图

因为两方向投影的局限性，经过对投影方式的改进，粒子探测界提出了四方向投影读出方式。图2.12为四方向投影的示意图，该方式在两方向投影方式的基础上增加了投影的维度，投影维度和恢复图像的准确率可通过公式2.4进行计算，公式中H为每幅图像击中粒子数，n是投影方向维度数，N为像素阵列大小。当n=4时图像恢复率可达99%。因此采用四方向投影，四方向投影增加了主对角线和次对角线两个方向上的投影，每个像素的坐标维度增加到了四个。单个像素单元不仅包含列线和行线，也增加了主对角线输出和次对角线输出线。在投影方式读出中，像素单元将模拟信号驱动到输出线上，然后送入鉴别器转换为数字信号，因此四方向投影需要4N个鉴别器。

虽然四方向投影图像恢复正确率相较于两方向投影增高了，但对于单个带电粒子入射引起的局部区域像素团被触发的现象，该方式的恢复效率却不高，像素团被投影在四个方向上时依然可能产生同样的坐标。

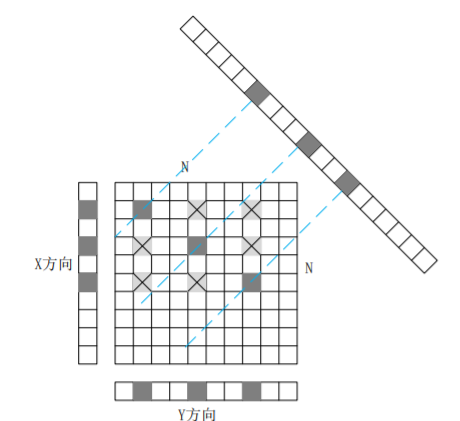


图2.12 四方向投影示意图

*2.4*

1. 局部自动快门读出电路架构设计

3.1 MAPS芯片读出设计需求

用于粒子探测领域的MAPS芯片，通常为针对某一粒子加速器的粒子密度

3.2 读出电路总体架构和读出方式

3.3 各电路模块详细端口和工作时序介绍

1. Global shutter读出电路仿真验证程序设计

4.1 Global shutter读出电路仿真验证需求

4.2 仿真程序总体架构

4.3 仿真程序各组件与电路模块接口

4.4 帧图像生成算法

1. 读出电路模型相关性能测试

5.1 电路模型成像性能测试

5.2 电路模型缺点总结

5.3 仿真验证程序评估

5.4 毕业设计小结以及新架构电路的设想

参考文献

**（空1行）**

[1] 张彪, 张李昂, 邓文静, et al. ALICE实验内径迹系统探测器升级 [J]. 原子核物理评论, 2020, 37(03): 734-41.

[2] AGLIERI RINELLA G. The ALPIDE pixel sensor chip for the upgrade of the ALICE Inner Tracking System [J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2017, 845: 583-7.

致 谢

致谢内容……